

日 本 国 特 許 庁
JAPAN PATENT OFFICE

06.07.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 7 2 2 5 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 7 2 2 5 0]

出 願 人 ソニー株式会社
Applicant(s):

REC'D 19 AUG 2004

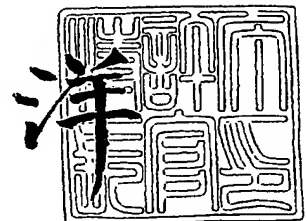
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 8 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 0390482902
【提出日】 平成15年 7月 9日
【あて先】 特許庁長官 殿
【国際特許分類】 G09G 3/36
【発明者】
 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
 【氏名】 木田 芳利
【発明者】
 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
 【氏名】 仲島 義晴
【特許出願人】
 【識別番号】 000002185
 【氏名又は名称】 ソニー株式会社
【代理人】
 【識別番号】 100102185
 【弁理士】
 【氏名又は名称】 多田 繁範
 【電話番号】 03-5950-1478
【手数料の表示】
 【予納台帳番号】 047267
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9713935

【書類名】 特許請求の範囲**【請求項 1】**

マトリックス状に画素を配置してなる表示部と、前記表示部を駆動する駆動回路とを一体に基板上に形成してなるフラットディスプレイ装置において、

前記駆動回路は、

第 1 の電源電圧により動作する第 1 の回路ブロックと、前記第 1 の回路ブロックによる処理結果を処理する、前記第 1 の電源電圧より低い第 2 の電源電圧により動作する第 2 の回路ブロックとを有し、

前記第 2 の回路ブロックは、

相補的にオンオフ動作するアクティブ素子に、前記第 1 の回路ブロックの 1 つの処理結果の入力を受け、

前記第 1 の回路ブロックは、

前記第 1 の電源電圧の立ち下がりにより、前記アクティブ素子の出力を所定レベルに保持するように、前記 1 つの処理結果のレベルを設定するレベル設定回路を有する

ことを特徴とするフラットディスプレイ装置。

【請求項 2】

前記第 2 の回路ブロックが、

生成基準電圧を抵抗ブロックにより抵抗分圧して複数の基準電圧を生成する基準電圧発生回路と、

前記画素の階調を示す階調データに応じて、前記複数の基準電圧を選択出力する基準電圧セクタであり、

前記相補的にオンオフ動作するアクティブ素子が、

前記出力を前記抵抗ブロックに出力して、前記 1 つの処理結果により前記抵抗ブロックの端子電圧を切り換えることにより、前記生成基準電圧の極性を切り換えるスイッチ回路のアクティブ素子である

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

【請求項 3】

前記第 2 の回路ブロックが、

前記画素に設けられた保持容量の電極電位を切り換える駆動回路であり、

前記相補的にオンオフ動作するアクティブ素子が、

前記出力を前記保持容量に出力して、前記 1 つの処理結果により前記電極電位を切り換えるアクティブ素子である

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

【請求項 4】

前記第 2 の回路ブロックが、

前記画素の液晶セルの電極電位を切り換える駆動回路であり、

前記相補的にオンオフ動作するアクティブ素子が、

前記出力を前記液晶セルに出力して、前記 1 つの処理結果により前記電極電位を切り換えるアクティブ素子である

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

【請求項 5】

前記第 1 の回路ブロックは、

前記第 1 の電源電圧により動作して、前記第 1 の処理結果を出力する第 1 のインバータと、

前記第 1 のインバータの出力を前記第 2 の回路ブロックに出力する第 2 のインバータと

、
前記第 1 の電源の立ち下がりにより、前記第 2 のインバータの電源電圧を前記第 1 の電源電圧から前記第 2 の電源電圧に切り換える電源切り換え回路とを有し、

前記レベル設定回路は、

前記第 2 のインバータの入力レベルの設定により、前記アクティブ素子の出力を所定レ

ベルに保持する

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

【請求項 6】

前記第 2 の電源電圧による電源より、前記第 1 の電源電圧による電源を生成する電源回路を有し、

前記第 2 の電源電圧による電源が、外部より供給される電源である

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

【請求項 7】

第 1 の電源電圧により動作する第 1 の回路ブロックと、前記第 1 の回路ブロックによる処理結果を処理する、前記第 1 の電源電圧より低い第 2 の電源電圧により動作する第 2 の回路ブロックとを有してなる集積回路であって、

前記第 2 の回路ブロックは、

相補的にオンオフ動作するアクティブ素子に、前記第 1 の回路ブロックの 1 つの処理結果の inputs を受け、

前記第 1 の回路ブロックは、

前記第 1 の電源電圧の立ち下がりにより、前記アクティブ素子の出力を所定レベルに保持するように、前記 1 つの処理結果のレベルを設定するレベル設定回路を有する

ことを特徴とする集積回路。

【書類名】 明細書

【発明の名称】 フラットディスプレイ装置及び集積回路

【技術分野】

【0001】

本発明は、フラットディスプレイ装置及び集積回路に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、電源電圧が高い側の回路ブロックからの処理結果を相補的にオンオフ動作するアクティブ素子により電源電圧の低い側に入力し、この高い側の電源電圧の立ち下がりによりこのアクティブ素子の出力を所定レベルに設定することにより、ディープスタンバイモード等において、一段と消費電力を少なくすることができるようにする。

【背景技術】

【0002】

近年、例えば携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、水平駆動回路、垂直駆動回路等である液晶表示パネルの駆動回路を一体に集積化して構成するものが提供されるようになされている。

【0003】

すなわちこの種の液晶表示装置は、液晶セル、この液晶セルのスイッチング素子であるポリシリコンTFT（Thin Film Transistor；薄膜トランジスタ）、保持容量とによる画素をマトリックス状に配置して表示部が形成される。液晶表示装置では、このようにして形成されてなる表示部の各画素を垂直駆動回路によるゲート線の駆動によりライン単位で順次選択する。また各画素の階調を示す階調データを水平駆動回路により順次循環的にサンプリングしてライン単位でまとめ、この階調データのデジタルアナログ変換結果により各信号線を駆動することにより、ゲート線により選択された各画素を階調データに応じて駆動し、これらにより所望の画像を表示するようになされている。

【0004】

このような液晶表示装置では、表示部の周囲に設けた駆動回路の一部であるDC-DCコンバータで、外部から供給される電源から動作に必要な電源を生成し、その結果得られる複数系統の電源により動作するようになされている。具体的には、例えば外部から供給される3[V]の電源から6[V]の電源と-3[V]の電源とを生成し、これら-3[V]、3[V]、6[V]の電源により動作するようになされている。

【0005】

これによりこの種の液晶表示装置では、例えば図8に示すように、電源電圧が6[V]の回路ブロックである6V系ロジック電子回路1により高速度で各種処理を実行し、この高速度の処理結果により電源電圧が3[V]の回路ブロックである3V系ロジック電子回路2を駆動するようになされている。

【0006】

このような液晶表示装置が適用される機器の1つである携帯電話においては、例えば特開平10-210116号公報に開示されているように、待機状態において液晶表示部の表示を停止することにより、バッテリーの無駄な消費を防止するようになされている。

【0007】

具体的に、携帯電話では、全体の動作を制御するコントローラの制御により液晶表示装置のバックライトが消灯され、その分、消費電力を低減するようになされている。また液晶表示装置の動作モードをいわゆるディープスタンバイモードに設定するようになされている。

【0008】

ここでディープスタンバイモードは、液晶表示装置において、外部から電源が供給されてはいるものの、動作基準である各種クロックの供給が停止されることにより駆動回路が動作を停止した状態の動作モードである。

【0009】

すなわちこのように液晶表示装置の動作を停止する場合にあって、最も簡易な方法は、液晶表示装置に対する電源の供給を停止する方法である。しかしながらこのような電源の供給停止を液晶表示装置の外部で実行すると、その分、携帯電話においては構成が複雑になる。これに対して外部から供給される電源を液晶表示装置の内部で遮断する方法も考えられるが、この方法の場合、電源の制御に係るアクティブ素子の構成が大型化し、その分、液晶表示装置自体の形状が大型化する。

【0010】

これによりこの種の液晶表示装置では、ディープスタンバイモードが設けられ、このディープスタンバイモードにより、クロックの供給が停止されて動作を停止し、電力消費を低減するようになされている。またこのディープスタンバイモードでは、液晶表示装置内で最も低い電源電圧を出力するようにDC-DCコンバータの動作を切り換え、これにより電源電圧の異なる回路ブロック間の貫通電流を防止するようになされている。

【0011】

すなわち図9は、この種の液晶表示装置におけるデジタルアナログ変換回路の一部の構成を示すブロック図である。この種の液晶表示装置においては、所定の生成基準電圧を基準電圧発生回路で抵抗分圧して複数の基準電圧を生成し、これら複数の基準電圧を階調データに応じて選択出力することにより、階調データをデジタルアナログ変換処理するようになされ、このデジタルアナログ処理結果により各画素を駆動するようになされている。また例えばライン反転により画素を駆動する場合、この生成基準電圧の極性を水平走査周期で切り換えるようになされている。

【0012】

図9は、このような生成基準電圧の極性の切り換え、基準電圧の生成に係る回路ブロックを示す図であり、液晶表示装置においては、階調データに同期した各種の基準信号を電源電圧が6[V]の回路ブロックにより処理することにより、生成基準電圧の極性切り換え信号を生成し、6[V]の電源電圧で動作するバッファ回路3、4を介して、この極性切り換え信号、極性切り換え信号の反転信号を基準電圧発生回路5に出力する。

【0013】

基準電圧発生回路5は、3[V]の電源電圧で動作する回路ブロックであり、CMOS (Complementary Metal Oxide Semiconductor) によるスイッチ回路6及び7をバッファ回路3、4の出力信号により駆動することにより、これらスイッチ回路6及び7の接点を相補的に切り換えて、抵抗ブロック8に出力する生成基準電圧の極性を切り換える。しかししてこの図9に示す例では、+3[V]と-3[V]とで生成基準電圧を切り換えることになる。

【0014】

基準電圧発生回路5は、複数の抵抗の直列回路により抵抗ブロック8が作成され、この抵抗ブロック8により生成基準電圧を抵抗分圧することにより、基準電圧V1~V30を生成する。

【0015】

このような構成において、単にDC-DCコンバータの動作を停止させると、電源電圧6[V]の回路ブロックにおいて電源電圧が0[V]に立ち下がり、その結果、バッファ回路3、4の出力が0[V]に立ち下がった状態に保持される。この場合このバッファ回路3、4の出力を受けるスイッチ回路6、7においては、各スイッチ回路6、7を構成するスイッチ回路6A、6B、7A、7Bの何れもオン状態に保持され、これによりスイッチ回路6、7で貫通電流I6、I7が発生する。

【0016】

この場合、電源電圧3[V]の回路ブロックについても、電源を立ち下げることにより貫通電流を防止できるものの、このように電源電圧3[V]の回路ブロックの電源を立ち下げの場合にあっては、結局、液晶表示装置に供給する電源自体を遮断することに他ならず、上述したように液晶表示装置が大型化する等の問題がある。これにより液晶表示装置では、この場合、DC-DCコンバータの動作の切り換えにより6[V]の電源を3[V]

〕に立ち下げ、貫通電流を防止するようになされている。

【0017】

しかしながらこのようにDC-DCコンバータの動作の切り換えにより6〔V〕の電源を3〔V〕に立ち下げる場合であっても、結局、各アクティブ素子においては、電源電圧3〔V〕によるリーク電流が流れ続けることになる。このようなリーク電流を少なくすることができれば、ディープスタンバイモードにおいて、一段と消費電力を少なくすることができる。

【特許文献1】特開平10-210116号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

本発明は以上の点を考慮してなされたもので、ディープスタンバイモード等において、一段と消費電力を少なくすることができるフラットディスプレイ装置及び集積回路を提案しようとするものである。

【課題を解決するための手段】

【0019】

係る課題を解決するため請求項1の発明においては、フラットディスプレイ装置に適用して、駆動回路は、第1の電源電圧により動作する第1の回路ブロックと、第1の回路ブロックによる処理結果を処理する、第1の電源電圧より低い第2の電源電圧により動作する第2の回路ブロックとを有し、第2の回路ブロックは、相補的にオンオフ動作するアクティブ素子に、第1の回路ブロックの1つの処理結果の入力を受け、第1の回路ブロックは、第1の電源電圧の立ち下がりにより、アクティブ素子の出力を所定レベルに保持するように、1つの処理結果のレベルを設定するレベル設定回路を有するようにする。

【0020】

また請求項7の発明においては、集積回路に適用して、第2の回路ブロックは、相補的にオンオフ動作するアクティブ素子に、第1の回路ブロックの1つの処理結果の入力を受け、第1の回路ブロックは、第1の電源電圧の立ち下がりにより、アクティブ素子の出力を所定レベルに保持するように、1つの処理結果のレベルを設定するレベル設定回路を有するようにする。

【0021】

請求項1の構成により、フラットディスプレイ装置に適用して、駆動回路は、第1の電源電圧により動作する第1の回路ブロックと、第1の回路ブロックによる処理結果を処理する、第1の電源電圧より低い第2の電源電圧により動作する第2の回路ブロックとを有し、第2の回路ブロックは、相補的にオンオフ動作するアクティブ素子に、第1の回路ブロックの1つの処理結果の入力を受け、第1の回路ブロックは、第1の電源電圧の立ち下がりにより、アクティブ素子の出力を所定レベルに保持するように、1つの処理結果のレベルを設定するレベル設定回路を有するようにすれば、相補的にオンオフ動作するアクティブ素子に、第1の回路ブロックの1つの処理結果の入力を受けることにより、第1の電源電圧の立ち下がりによりこの第1の処理結果が何れのレベルになる場合でも、アクティブ素子における貫通電流の発生を防止することができる。またこのアクティブ素子の出力を所定レベルに保持するように、1つの処理結果のレベルを設定するレベル設定回路を有することにより、このレベル設定回路により表示部の意図しない表示を防止するようにアクティブ素子の出力レベルを設定することができる。これらにより請求項1の構成によれば、各種の不都合を防止するようにして第1の電源電圧を完全に立ち下げることができ、その分、第1の電源電圧に係る回路ブロックにおけるリーク電流を低減して従来に比して一段と消費電力を少なくすることができる。

【0022】

これにより請求項7の構成によれば、ディープスタンバイモード等において、一段と消費電力を少なくすることができる集積回路を提供することができる。

【発明の効果】

【0023】

本発明によれば、ディープスタンバイモード等において、一段と消費電力を少なくすることができる。

【発明を実施するための最良の形態】

【0024】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0025】

(1) 実施例の構成

図2は、本発明の実施例1に係る液晶表示装置を示すブロック図である。この液晶表示装置11においては、液晶セル12、この液晶セル12のスイッチング素子であるポリシリコンTFT13、保持容量14とにより画素が形成され、この画素をマトリックス状に配置して表示部16が形成される。液晶表示装置11は、この表示部16を形成する各画素が、信号線LS及びゲート線LGによりそれぞれ水平駆動回路17及び垂直駆動回路18に接続され、垂直駆動回路18によるゲート線LGの駆動により順次画素を選択して水平駆動回路17からの駆動信号により各画素の階調を設定することにより、所望する画像を表示するようになされている。

【0026】

すなわち液晶表示装置11において、タイミング発生回路(TG)19は、階調データD1に同期したマスタクロック、水平同期信号、垂直同期信号等の各種タイミング信号を入力し、これらの各種タイミング信号を処理してこの液晶表示装置11の動作に必要な各種タイミング信号を出力する。

【0027】

垂直駆動回路18は、タイミング発生回路19から出力されるタイミング信号により各ゲート線LGを駆動することにより、水平駆動回路17における処理に連動して順次ライン単位で画素を選択する。

【0028】

水平駆動回路17は、タイミング発生回路19から出力されるタイミング信号により各画素の階調を示す階調データD1を順次循環的に取り込んで各信号線LSを駆動する。すなわち水平駆動回路17において、シフトレジスタ20は、階調データD1を順次循環的にサンプリングすることにより、階調データをライン単位でまとめ、1ライン分の階調データを水平ブランキング期間の所定のタイミングでデジタルアナログ変換回路(DAC)21に出力する。

【0029】

デジタルアナログ変換回路21は、シフトレジスタ20から出力される階調データD1をそれぞれデジタルアナログ変換処理して出力する。バッファ回路部22は、このデジタルアナログ変換回路21の出力信号により各信号線LSを駆動し、これにより水平駆動回路17においては、階調データD1に応じた階調により表示部16の各画素を駆動して所望の画像を表示するようになされている。

【0030】

CS駆動回路23、VCOM駆動回路24は、それぞれ保持容量14、液晶セル12のTFT13が接続されていない側の電極にそれぞれ接続されたCS配線CS、VCOM配線VCOMについて、CS配線CS、VCOM配線VCOMの電位を例えば水平走査周期で切り換え、これによりこの液晶表示装置11では、それぞれ保持容量14、液晶セル12の電極電位を切り換えてプリチャージの処理を実行し、各液晶セル12の劣化を防止するようになされている。

【0031】

DC-DCコンバータ(DC-DC)25は、この液晶表示装置11の外部から入力される電源よりこの液晶表示装置11の動作に必要な電源を生成して出力する。具体的に、DC-DCコンバータ25は、この外部から入力される電源として電圧3[V]の電源が

適用され、この電圧 3 [V] の電源より電圧 6 [V]、電圧 -3 [V] の電源を生成する。これにより液晶表示装置 11 では、内蔵の電源回路において、外部入力 of 電源より動作に必要な電源を生成して複数系統の電源により動作するようになされている。また DC-DC コンバータ 25 は、上位のコントローラによるディープスタンバイモードへの動作モードの切り換えにより動作を停止し、それぞれ電圧 6 [V]、電圧 -3 [V] の電源については、電源電圧を 0 [V] に立ち下げるようになされている。なお液晶表示装置 11 では、このディープスタンバイモードにおいても、電圧 3 [V] の電源については、引き続き供給されるようになされている。

【0032】

図 3 は、デジタルアナログ変換回路 21 を周辺構成と共に示すブロック図である。このデジタルアナログ変換回路 21 では、基準電圧発生回路 31 で生成基準電圧を抵抗分圧して複数の基準電圧 $V_1 \sim V_{30}$ を生成し、この基準電圧 $V_1 \sim V_{30}$ を各階調データ D1 に応じて選択出力することにより、階調データ D1 をデジタルアナログ変換処理する。なおこの図 3 に示す構成において、図 9 について上述したデジタルアナログ変換回路と同一の構成は、対応する符号を付して示し、重複した説明は省略する。

【0033】

すなわち基準電圧発生回路 31 において、スイッチ回路 32 は、タイミング発生回路 19 から出力される切り換え信号により相補的にオンオフ状態に切り換わるスイッチ回路 32A 及び 32B の一端がそれぞれ電圧 3 [V] の基準電圧ライン、グラウンドラインに接続され、これらスイッチ回路 32A 及び 32B の他端が抵抗ブロック 8 の一端に接続される。またスイッチ回路 33 は、タイミング発生回路 19 から出力される切り換え信号の反転信号により相補的にオンオフ状態に切り換わるスイッチ回路 33A 及び 33B の一端がそれぞれ電圧 3 [V] の基準電圧ライン、グラウンドラインに接続され、これらスイッチ回路 33A 及び 33B の他端が抵抗ブロック 8 の他端に接続される。これらによりスイッチ回路 32、33 は、相補的に、スイッチ回路 32A、32B、スイッチ回路 33A、33B により基準電圧ライン、グラウンドラインを選択する。

【0034】

これにより基準電圧発生回路 31 では、抵抗ブロック 8 に印加される生成基準電圧が 1 水平走査期間毎に切り換えられるようになされ、この極性が切り換えられてなる生成基準電圧を抵抗ブロック 8 により抵抗分圧して複数の基準電圧 $V_1 \sim V_{30}$ を生成するようになされている。

【0035】

基準電圧発生回路 31 では、これらスイッチ回路 32A 及び 33A が PMOS トランジスタにより形成されるのに対し、スイッチ回路 32B 及び 33B が NMOS トランジスタにより構成される。これによりスイッチ回路 32、33 は、相補的にオンオフ動作するアクティブ素子である PMOS トランジスタ及び NMOS トランジスタに、それぞれ前段の回路ブロックの 1 つの処理結果の入力を受け、前段の回路ブロックにおいて電源電圧が立ち下がり、アクティブ素子の入力レベルが何れのレベルになった場合でも、これらアクティブ素子における貫通電流の発生を防止することができるようになされている。

【0036】

またさらに基準電圧発生回路 31 では、タイミング発生回路 19 から出力される切り換え信号及び切り換え信号の反転信号がディープスタンバイモードにおいてそれぞれ 3 [V] に保持されると、抵抗ブロック 8 の両端電位を 0 [V] に保持し、表示部 16 に意図しない表示が表れないようになされている。

【0037】

基準電圧セクタ 35 は、それぞれ基準電圧発生回路 31 から出力される基準電圧 $V_1 \sim V_{30}$ を入力し、この入力した基準電圧 $V_1 \sim V_{30}$ を階調データにより選択出力し、これによりこのデジタルアナログ変換回路 21 では、階調データ D1 のデジタルアナログ変換結果を出力するようになされている。

【0038】

しかしてこの液晶表示装置 11 においては、ディジタルアナログ変換回路 21 の各回路ブロックが 3 [V] の電源電圧により動作するのに対し、このディジタルアナログ変換回路 21 の動作基準を出力するタイミング発生回路 19 においては、電源電圧 6 [V] により動作するようになされ、この動作基準である切り換え信号、切り換え信号の反転信号をバッファ回路 41A、41B より出力するようになされている。

【0039】

図 1 は、このバッファ回路 41A、41B の構成を示す接続図である。なおバッファ回路 41A、41B は、処理対象である信号が異なる点を除いて同一に構成されることにより、以下の説明においては、バッファ回路 41A について説明し、重複した説明は省略する。

【0040】

バッファ回路 41A は、ゲート及びドレインがそれぞれ共通に接続された NMOS トランジスタ Q1 及び PMOS トランジスタ Q2 からなる CMOS インバータと、同様の NMOS トランジスタ Q3 及び PMOS トランジスタ Q4 からなる CMOS インバータとが直列に接続され、トランジスタ Q3 及び Q4 による CMOS インバータの出力を切り換え信号又は切り換え信号の反転信号として出力する。これらの CMOS インバータのうち、先頭段のトランジスタ Q1 及び Q2 による CMOS インバータは、電源電圧 6 [V] により動作するようになされ、これによりディープスタンバイモードにより DC-DC コンバータ 25 が動作を停止すると、出力を 0 レベルに立ち下げるようになされている。

【0041】

これに対してこのインバータの出力を基準電圧発生回路 31 に出力するトランジスタ Q3 及び Q4 によるインバータは、電源切り換え回路 46 により、通常の動作状態においては、電源電圧 6 [V] により動作するのに対し、ディープスタンバイモードにおいては、電源電圧 3 [V] により動作するようになされている。またレベル設定回路 47 により、ディープスタンバイモードにおいて入力レベルが L レベルに設定され、これにより出力レベルを 3 [V] に保持するようになされている。

【0042】

すなわちタイミング発生回路 19 は、図 4 において時点 t1 により示すように、コントローラによりディープスタンバイモードへの動作モードの切り換えが指示されると、DC-DC コンバータ 25 が動作を停止することにより、電源電圧 6 [V] の回路系より出力されるコントロール信号 STB の論理レベルが立ち下がり（図 4 (C)）、その後、階調データ D1、各種基準信号の供給が停止される（図 4 (A) 及び (B)）。なおこの図 4 において、MCK は、階調データ D1 に同期したマスタークロックであり、Hsync、Vsync はそれぞれ水平同期信号及び垂直同期信号である。

【0043】

電源切り換え回路 46 は、このコントロール信号 STB が、電源電圧 6 [V] の回路ブロックによるインバータ 48 に入力され、トランジスタ Q3 及び Q4 によるインバータの電源ラインと、6 [V] の電源ラインとを接続する PMOS トランジスタ Q5 に供給されるようになされている。これにより電源切り換え回路 46 は、通常の動作モードによりコントロール信号 STB の論理レベルが立ち上がっている場合には、トランジスタ Q5 をオン状態に保持し、トランジスタ Q3 及び Q4 によるインバータの電源電圧を 6 [V] に保持するようになされている。またディープスタンバイモードによりコントロール信号 STB の論理レベルが立ち下がると（図 5 (E)）、トランジスタ Q5 をオフ状態に設定し、トランジスタ Q3 及び Q4 によるインバータの電源ラインを 0 [V] に立ち下がってなる 6 [V] の電源ラインから切り離すようになされている。

【0044】

さらに電源切り換え回路 46 は、電源電圧 6 [V] の回路ブロックによるレベルシフト回路 49 にコントロール信号 STB を入力し、電源電圧 3 [V] による回路ブロックに対応するようにこのコントロール信号 STB をレベルシフトさせ、このレベルシフト回路 49 の出力を電源電圧 3 [V] の回路ブロックによるバッファ回路 50 に入力する。電源切

り換え回路 46 は、トランジスタ Q3 及び Q4 によるインバータの電源ラインと、3 [V] の電源ラインとを接続する PMOS トランジスタ Q6 に、このバッファ回路 50 の出力が供給されるようになされている。これにより電源切り換え回路 46 は、通常の動作モードによりコントロール信号 STB の論理レベルが立ち上がっている場合には、トランジスタ Q6 をオフ状態に保持してトランジスタ Q3 及び Q4 によるインバータの電源ラインを 3 [V] の電源ラインから切り離すのに対し、ディープスタンバイモードによりコントロール信号 STB の論理レベルが立ち下がると、トランジスタ Q6 をオン状態に設定し、トランジスタ Q3 及び Q4 によるインバータの電源ラインを 3 [V] の電源ラインに接続するようになされている。

【0045】

これらにより電源切り換え回路 46 は、コントロール信号 STB を基準にしてトランジスタ Q3、Q4 によるバッファ回路の電源電圧を通常の動作状態とディープスタンバイモードとで切り換えるようになされている。

【0046】

レベル設定回路 47 は、インバータ 48 の出力により、トランジスタ Q1 及び Q2 の出力ラインと 6 [V] の電源ラインとの間に配置された PMOS トランジスタ Q8 をオンオフ制御し、これにより通常の動作モードにおいては、トランジスタ Q8 をオフ状態に設定してトランジスタ Q1 及び Q2 によるインバータ出力をトランジスタ Q3 及び Q4 によるインバータに出力し、ライン反転に対応するように基準電圧発生回路 31 における生成基準電圧の極性を切り換える。これに対してディープスタンバイモードにおいては、トランジスタ Q8 をオン状態に設定してトランジスタ Q3 及び Q4 によるインバータ入力を L レベルに保持し、電圧 6 [V] の電源ラインが完全に 0 [V] に立ち下がった場合にあつて、基準電圧発生回路 31 における抵抗ブロック 8 の両端電位を 0 [V] に保持し、さらにはスイッチ回路 32、33 における貫通電流を防止するようになされている。

【0047】

なお図 5 は、図 4 との対比により、ディープスタンバイモードから通常の動作モードへの遷移を示すタイムチャートである。

【0048】

これらによりこの液晶表示装置 11 では、6 [V] の電源電圧と 3 [V] の電源電圧とが、それぞれ第 1 の電源電圧と、この第 1 の電源電圧より低い第 2 の電源電圧とを構成し、階調データ D1 のデジタルアナログ変換処理に係る駆動回路において、タイミング発生回路 19 が、第 1 の電源電圧により動作する第 1 の回路ブロックを構成し、基準電圧発生回路 31 が、この第 1 の回路ブロックによる処理結果を処理する、第 2 の電源電圧により動作する第 2 の回路ブロックを構成するようになされている。

【0049】

また基準電圧発生回路 31 のスイッチ回路 32A、32B 又はスイッチ回路 33A、33B が、第 1 の回路ブロックの 1 つの処理結果の入力を受け、相補的にオンオフ動作するアクティブ素子を構成し、バッファ回路 41A 又は 41B のレベル設定回路 47 が、第 1 の電源電圧の立ち下がりにより、先のアクティブ素子の出力を所定レベルに保持するように、バッファ回路出力である処理結果のレベルを設定するレベル設定回路を構成するようになされている。

【0050】

またバッファ回路 41A において、トランジスタ Q1 及び Q2 によるインバータが、第 1 の電源電圧により動作して、処理結果を出力する第 1 のインバータを構成し、トランジスタ Q3 及び Q4 によるインバータが、第 1 のインバータの出力を第 2 の回路ブロックである基準電圧発生回路 31 に出力する第 2 のインバータを構成し、電源切り換え回路 46 が、第 1 の電源の立ち下がりにより、第 2 のインバータの電源電圧を第 1 の電源電圧から第 2 の電源電圧に切り換える電源切り換え回路を構成するようになされている。

【0051】

図 6 は、CS 駆動回路 23 を周辺構成と共に示すブロック図である。CS 駆動回路 24

においては、タイミング発生回路 19 から出力される切り換え信号により、水平操作期間毎に、CS 線 CS の電位を 3 [V] と 0 [V] とで切り換える。すなわち CS 駆動回路 23 は、基準電圧発生回路 31 と同様に、相補的にオンオフ状態に切り換わる PMOS トランジスタ及び NMOS トランジスタによるスイッチ回路 60A 及び 60B によるスイッチ回路 60 と、同様の PMOS トランジスタ及び NMOS トランジスタによるスイッチ回路 61A 及び 61B によるスイッチ回路 61 とが設けられ、これらスイッチ回路 60、61 の出力が CS 線 CS に出力される。

【0052】

この CS 駆動回路 23 の構成に対応して、タイミング発生回路 19 においては、図 1 について上述したと同一構成によるバッファ回路 63、64 により、これらスイッチ回路 60、61 の切り換え信号を出力する。これによりこの液晶表示装置 11 では、CS 駆動回路 23 についても、電圧 6 [V] の電源ラインが完全に 0 [V] に立ち下がった場合にあって、スイッチ回路 60、61 における貫通電流を防止し、CS 線 CS の電位を 0 [V] に保持するようになされている。

【0053】

図 7 は、VCOM 駆動回路 24 を周辺構成と共に示すブロック図である。VCOM 駆動回路 24 においても、タイミング発生回路 19 から出力される切り換え信号により、水平操作期間毎に、VCOM 線 VCOM の電位を 3 [V] と 0 [V] とで切り換える。すなわち VCOM 駆動回路 24 は、基準電圧発生回路 31 と同様に、相補的にオンオフ状態に切り換わる PMOS トランジスタ及び NMOS トランジスタによるスイッチ回路 65A 及び 65B によるスイッチ回路 65 と、同様の PMOS トランジスタ及び NMOS トランジスタによるスイッチ回路 66A 及び 66B によるスイッチ回路 66 とが設けられ、これらスイッチ回路 65、66 の出力が VCOM 線 VCOM に出力される。

【0054】

この VCOM 駆動回路 24 の構成に対応して、タイミング発生回路 19 においては、図 1 について上述したと同一構成によるバッファ回路 67、68 により、これらスイッチ回路 65、66 の切り換え信号を出力する。これによりこの液晶表示装置 11 では、VCOM 駆動回路 24 についても、電圧 6 [V] の電源ラインが完全に 0 [V] に立ち下がった場合にあって、スイッチ回路 65、66 における貫通電流を防止し、VCOM 線 VCOM の電位を 0 [V] に保持するようになされている。

【0055】

これらにより液晶表示装置 11 では、プリチャージの処理に係る駆動回路において、タイミング発生回路 19 が、第 1 の電源電圧により動作する第 1 の回路ブロックを構成し、CS 駆動回路 23、VCOM 駆動回路 24 が、それぞれこの第 1 の回路ブロックによる処理結果を処理する、第 2 の電源電圧により動作する第 2 の回路ブロックを構成するようになされている。

【0056】

(2) 実施例の動作

以上の構成において、この液晶表示装置 11 では (図 2)、描画に係るコントローラ等から各画素の階調を指示する階調データ D1 がラスト走査順に入力され、この階調データ D1 が水平駆動回路 17 のシフトレジスタ 20 により順次サンプリングされてライン単位でまとめられ、デジタルアナログ変換回路 21 に転送される。階調データ D1 は、このデジタルアナログ変換回路 21 におけるデジタルアナログ変換処理によりアナログ信号に変換され、このアナログ信号により表示部 16 の各信号線 LS が駆動される。これにより液晶表示装置 11 では、垂直駆動回路 18 によるゲート線 LG の制御により順次選択されてなる表示部 16 の各画素が、水平駆動回路 17 により駆動されて階調データ D1 による画像が表示部 16 に表示される。

【0057】

このようにして表示部 16 の信号線 LS を駆動する水平駆動回路 17 においては (図 3)、基準電圧発生回路 31 において生成基準電圧を抵抗ブロック 8 で抵抗分圧して階調デ

ータD1の各階調に対応する基準電圧V1～V30が生成され、基準電圧セレクタ35において、各階調データD1に応じてこの基準電圧V1～V30が選択されることにより、階調データD1がデジタルアナログ変換処理され、このデジタルアナログ変換処理結果がバッファ回路部22を介して信号線LSに供給される。

【0058】

このようなデジタルアナログ変換処理において、液晶表示装置11では、タイミング発生回路19からの出力により、スイッチ回路32、33が相補的に出力電圧を切り換えることにより、水平走査周期毎に、抵抗ブロック8への印加電圧の極性が切り換えられ、これにより生成基準電圧の極性が水平走査周期毎に切り換えられる。またCS駆動回路23、VCOM駆動回路24において（図6及び図7）、同様に、タイミング発生回路19からの出力により、スイッチ回路60、61及びスイッチ回路65、66が相補的に出力電圧を切り換えることにより、水平走査毎に、保持容量14の電極電位、液晶セル12の電極電位がそれぞれ所定電位に切り換えられる。これにより液晶表示装置11では、いわゆるライン反転により表示部16を駆動し、またこのライン反転に対応するようにプリチャージの処理が実行されて各液晶セルの劣化が防止される。

【0059】

液晶表示装置11では、外部入力により3[V]の電源が入力され、DC-DCコンバータ25において、この外部入力の電源より6[V]及び-3[V]の電源が生成される。液晶表示装置11では、タイミング発生回路19が電圧6[V]により高速度で動作して各回路ブロックのタイミング信号を生成するのに対し、このタイミング発生回路19の処理結果であるタイミング信号の入力を受ける基準電圧発生回路31、CS駆動回路23、VCOM駆動回路24が3[V]の電源により動作し、これにより全体の電力消費が低減される。

【0060】

液晶表示装置11では、このようなタイミング発生回路19からのタイミング信号の入力を受ける基準電圧発生回路31、CS駆動回路23、VCOM駆動回路24において、各スイッチ回路32、33、60、61、65、66がそれぞれ相補的にオンオフ動作するアクティブ素子であるPMOSトランジスタによるスイッチ回路32A、33A、60A、61A、65A、66A、NMOSトランジスタによるスイッチ回路32B、33B、60B、61B、65B、66Bにより構成されて、これらアクティブ素子にそれぞれ1つの制御信号の入力を受けるようになされ、これによりタイミング発生回路19からの出力レベルが如何なるレベルを取る場合でも、各スイッチ回路32、33、60、61、65、66においては、それぞれアクティブ素子が同時にオン状態となる場合を確実に防止することができる。

【0061】

これにより液晶表示装置11では、DC-DCコンバータ25の動作を完全に停止して電源電圧6[V]による回路ブロックに対して電源の供給を停止するにしても、電源電圧6[V]による回路ブロックと、電源電圧3[V]による回路ブロックとの間のインターフェースにおいて、貫通電流の発生を防止することができようになされている。これにより液晶表示装置11では、上位のコントローラよりディープスタンバイモードへの動作の切り換えが指示されると、DC-DCコンバータ25が動作を完全に停止して電源電圧6[V]の回路ブロックであるタイミング発生回路19への電源供給が停止され、従来に比して一段と消費電力が低減される。すなわち従来のディープスタンバイモードのように、6[V]の電源を3[V]に立ち下げる場合にあっては、結局、電源電圧6[V]の回路ブロックに電源電圧3[V]によるリーク電流が流れ続けるのに対し、この液晶表示装置11のように、6[V]の電源を完全に立ち下げるようにすれば、このようなリーク電流をも防止し得、その分、従来に比して電力消費を一段と低減することができる。

【0062】

しかしながらこのようにすると、各スイッチ回路32、33、60、61、65、66の貫通電流については防止し得るものの、各スイッチ回路32、33、60、61、65

、66の出力電位が立ち上がる場合も発生し、これにより表示部16に意図しない表示が表示され、さらにはディープスタンバイモードにおいて、液晶セル12、保持容量14に一定の電界が印加され続けられる恐れがある。

【0063】

これにより液晶表示装置11では(図1)、これらスイッチ回路32、33、60、61、65、66の切り換え信号を出力するタイミング発生回路のバッファ回路41A、41B、63、64、67、68において、これらスイッチ回路32、33、60、61、65、66の出力レベルが所定レベルとなるように、レベル設定回路47によりバッファ回路41A、41B、63、64、67、68の出力レベルが設定される。またこのようなレベル設定回路47によるレベル設定の前提として、電源切り換え回路46により最終段のインバータについては、6[V]の電源電圧の立ち下がりにより動作電源が切り換えられる。

【0064】

すなわちバッファ回路41A、41B、63、64、67、68においては、トランジスタQ1及びQ2によるインバータと、トランジスタQ3及びQ4によるインバータとを順次介して、各スイッチ回路32、33、60、61、65、66に切り換え信号が出力され、トランジスタQ1及びQ2によるインバータが電源電圧6[V]により動作するのに対し、トランジスタQ3及びQ4によるインバータにおいては、トランジスタQ5及びQ6を介してそれぞれ6[V]及び3[V]の電源に接続される。

【0065】

バッファ回路41A、41B、63、64、67、68においては、通常動作状態において、これらトランジスタQ5及びQ6がそれぞれオン状態及びオフ状態に保持され、これによりトランジスタQ3及びQ4によるインバータにおいては、この場合、電源電圧6[V]により動作して切り換え信号を各スイッチ回路32、33、60、61、65、66に出力する。これに対してディープスタンバイモードにおいては、トランジスタQ5及びQ6がそれぞれオフ状態及びオン状態に動作を切り換え、これにより6[V]の電源の立ち下がりにより前段側のトランジスタQ1及びQ2によるインバータにおいては、動作を停止するのに対し、最終段のトランジスタQ3及びQ4によるインバータにおいては、電源電圧が3[V]に切り換えられて動作状態に保持される。

【0066】

この状態でトランジスタQ3及びQ4によるインバータにおいては、トランジスタQ8による設定により、入力レベルが0レベルに保持され、その結果、スイッチ回路32、33、60、61、65、66の出力においては、0レベルに保持される。これにより液晶表示装置11では、表示部16に意図しない表示が表示され、液晶セル12、保持容量14に一定の電界が印加され続けられる等の、電源電圧を立ち下げたことによる種々の悪影響が有効に回避される。

【0067】

(3) 実施例の効果

以上の構成によれば、電源電圧が高い側の回路ブロックからの処理結果を相補的にオンオフ動作するアクティブ素子により電源電圧の低い側に入力し、この高い側の電源電圧の立ち下がりによりこのアクティブ素子の出力を所定レベルに設定することにより、ディープスタンバイモードにおいて、一段と消費電力を少なくすることができる。

【0068】

すなわちこの電源電圧が低い側の回路ブロックが、生成基準電圧を抵抗ブロックにより抵抗分圧して複数の基準電圧を生成する基準電圧発生回路と、画素の階調を示す階調データに応じて、複数の基準電圧を選択出力する基準電圧セレクタであり、相補的にオンオフ動作するアクティブ素子が、出力を抵抗ブロックに出力して、1つの処理結果により抵抗ブロックの端子電圧を切り換えることにより、生成基準電圧の極性を切り換えるスイッチ回路のアクティブ素子であることにより、例えばライン反転に係るデジタルアナログ変換処理に関して、ディープスタンバイモードにおける消費電力を一段と少なくすることが

できる。

【0069】

また電源電圧が低い側の回路ブロックが、画素に設けられた保持容量の電極電位を切り換える駆動回路であり、相補的にオンオフ動作するアクティブ素子が、この保持容量の電極電位を切り換えるアクティブ素子であることにより、保持容量の電極電位の切り換えに関して、ディープスタンバイモードにおける消費電力を一段と少なくすることができる。

【0070】

電源電圧が低い側の回路ブロックが、液晶セルの電極電位を切り換える駆動回路であり、相補的にオンオフ動作するアクティブ素子が、この液晶セルの電極電位を切り換えるアクティブ素子であることにより、液晶セルの電極電位の切り換えに関して、ディープスタンバイモードにおける消費電力を一段と少なくすることができる。

【0071】

またこのようなアクティブ素子の駆動に係る電源電圧が高い側の回路ブロックについて、6[V]による第1の電源電圧により動作して、第1の処理結果を出力する第1のインバータと、第1のインバータの出力を第2の回路ブロックに出力する第2のインバータと、第1の電源の立ち下がりにより、第2のインバータの電源電圧を第1の電源電圧から3[V]である第2の電源電圧に切り換える電源切り換え回路46とを設けるようにし、レベル設定回路47により第2のインバータの入力レベルを設定して、アクティブ素子の出力を所定レベルに保持することにより、後段の回路ブロックにおいて種々の不都合が発生しないように、アクティブ素子の出力レベルを必要に応じて種々に設定することができ、これにより各種の不都合を防止して消費電力を低減することができる。

【0072】

またこのような第1の電源を内蔵の電源回路であるDC-DCコンバータで作成することにより、液晶表示装置の外部構成を簡略化することができる。

【0073】

(4) 他の実施例

なお上述の実施例においては、バッファ回路において、最終段のインバータの電源電圧を3[V]に切り換え、このインバータ入力をレベル設定回路により設定する場合について述べたが、本発明はこれに限らず、例えばこのインバータ出力のレベルを直接レベル設定回路により設定する場合等、レベル設定方法にあつては種々の手法を適用することができる。

【0074】

また上述の実施例においては、6[V]及び3[V]により動作する場合について述べたが、本発明はこれに限らず、複数系統の電源電圧により動作する場合に広く適用することができる。

【0075】

また上述の実施例においては、液晶表示装置において、デジタルアナログ変換処理、プリチャージの処理に係る回路ブロックで異なる電源電圧による回路ブロックからの処理結果を入力して処理する場合について述べたが、本発明はこれに限らず、例えばシフトレジスタ回路等において、電源電圧の異なる回路ブロック間で階調データを送受する場合等にも広く適用することができる。

【0076】

また上述の実施例においては、ガラス基板上に表示部等を作成してなるTF-T液晶によるフラットディスプレイ装置に本発明を適用する場合について述べたが、本発明はこれに限らず、CGS (Continuous Grain Silicon) 液晶等、各種の液晶表示装置、さらにはEL (Electro Luminescence) 表示装置等、種々のフラットディスプレイ装置に広く適用することができる。またこのようなフラットディスプレイ装置に限らず、TF-T等による種々の集積回路に広く適用することができる。

【産業上の利用可能性】

【0077】

本発明は、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。

【図面の簡単な説明】

【0078】

【図1】 本発明の実施例1の液晶表示装置に適用されるバッファ回路を示す接続図である。

【図2】 本発明の実施例1に係る液晶表示装置を示すブロック図である。

【図3】 図2の液晶表示装置の水平駆動回路の一部を示すブロック図である。

【図4】 図1のバッファ回路における電源立ち下げ時の各部の遷移を示すタイムチャートである。

【図5】 図1のバッファ回路における電源立ち上げ時の各部の遷移を示すタイムチャートである。

【図6】 図2の液晶表示装置のCS駆動回路を示すブロック図である。

【図7】 図2の液晶表示装置のVCOM駆動回路を示すブロック図である。

【図8】 電源電圧の異なる回路ブロックの説明に供するブロック図である。

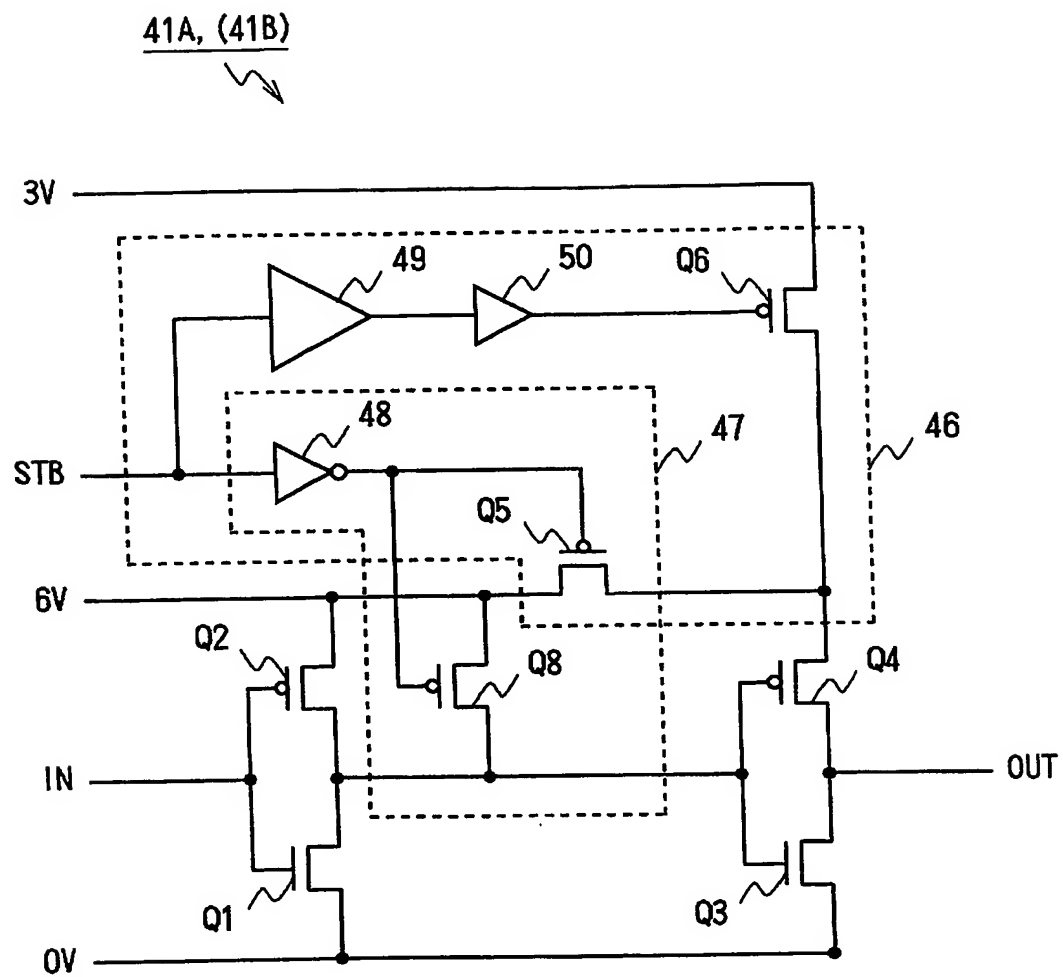
【図9】 貫通電流の説明に供する接続図である。

【符号の説明】

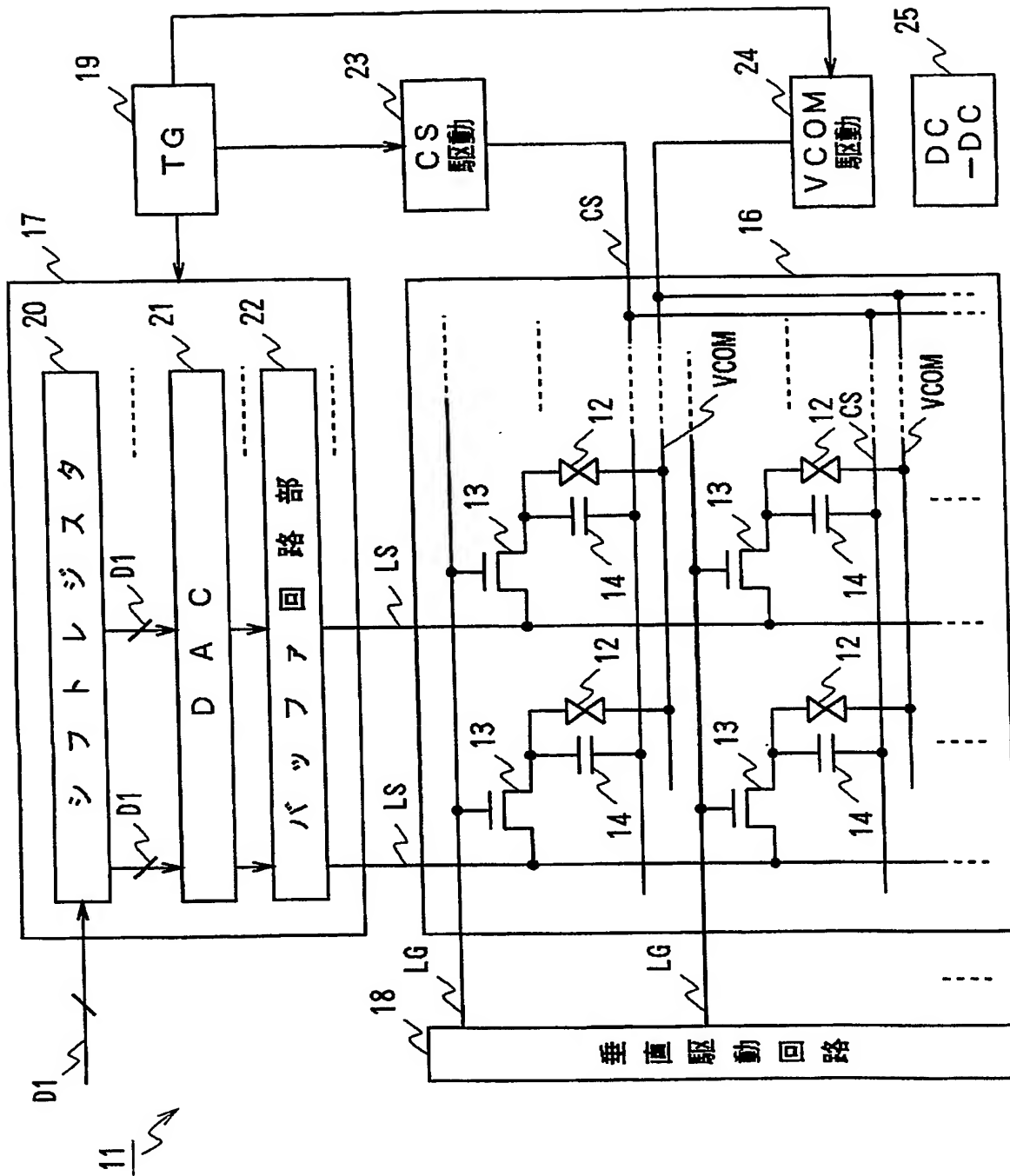
【0079】

1、2……電子回路、3、4、41A、41B、63、64、67、68……バッファ回路、5、31……基準電圧発生回路、6、6A、6B、7、7A、7B、32、32A、32B、33、33A、33B、60、60A、60B、61、61A、61B、65、65A、65B、66、66A、66B……スイッチ回路、8……抵抗ブロック、11……液晶表示装置、12……液晶セル、14……保持容量、16……表示部、17……水平駆動回路、18……垂直駆動回路、19……タイミング発生回路、21……デジタルアナログ変換回路、23……CS駆動回路、24……VCOM駆動回路、25……DC-DCコンバータ、35……基準電圧セレクタ、46……電源切り換え回路、47……レベル設定回路、Q1～Q8……トランジスタ

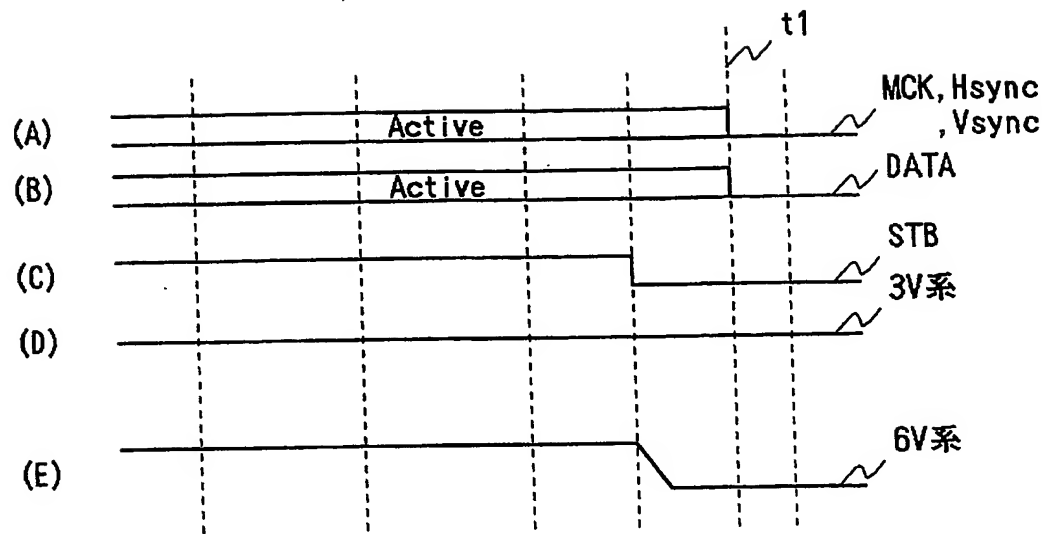
【書類名】 図面
【図 1】



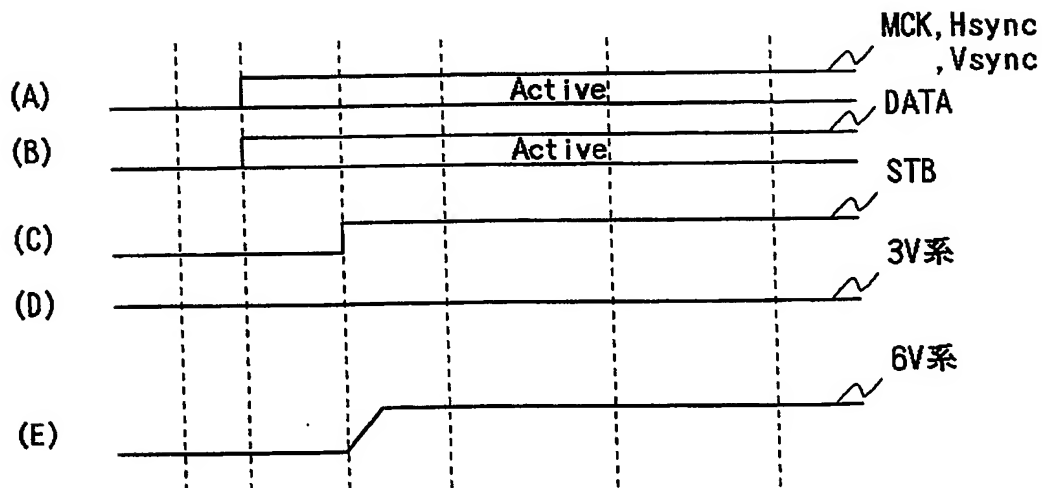
【圖 2】



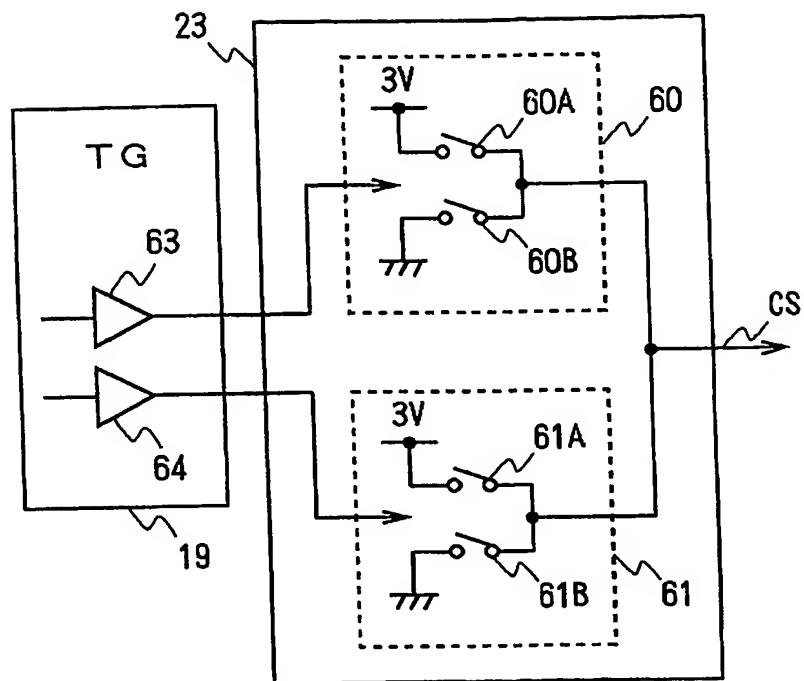
【図 4】



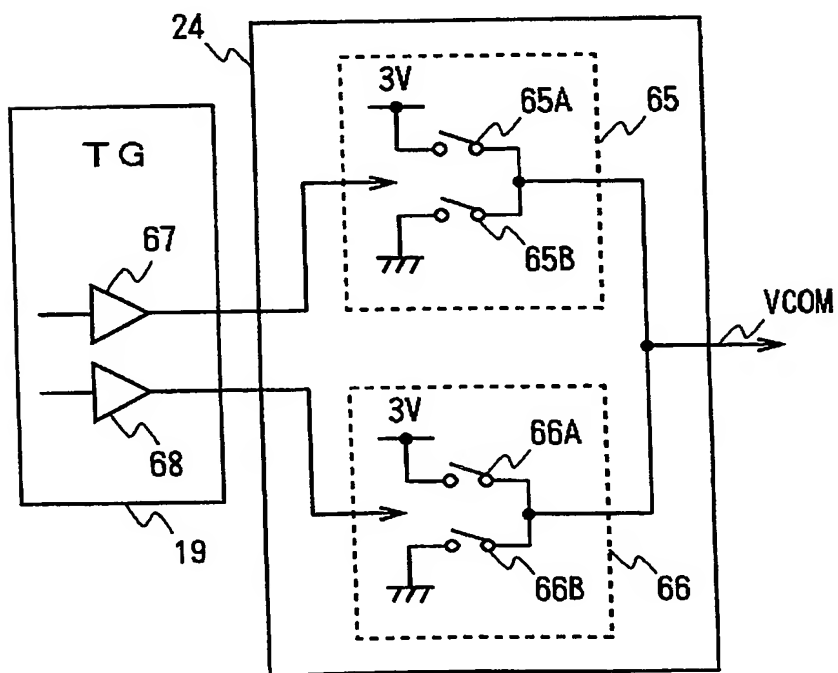
【図 5】



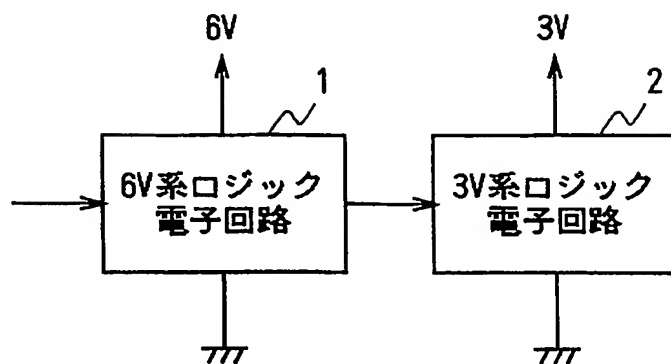
【図 6】



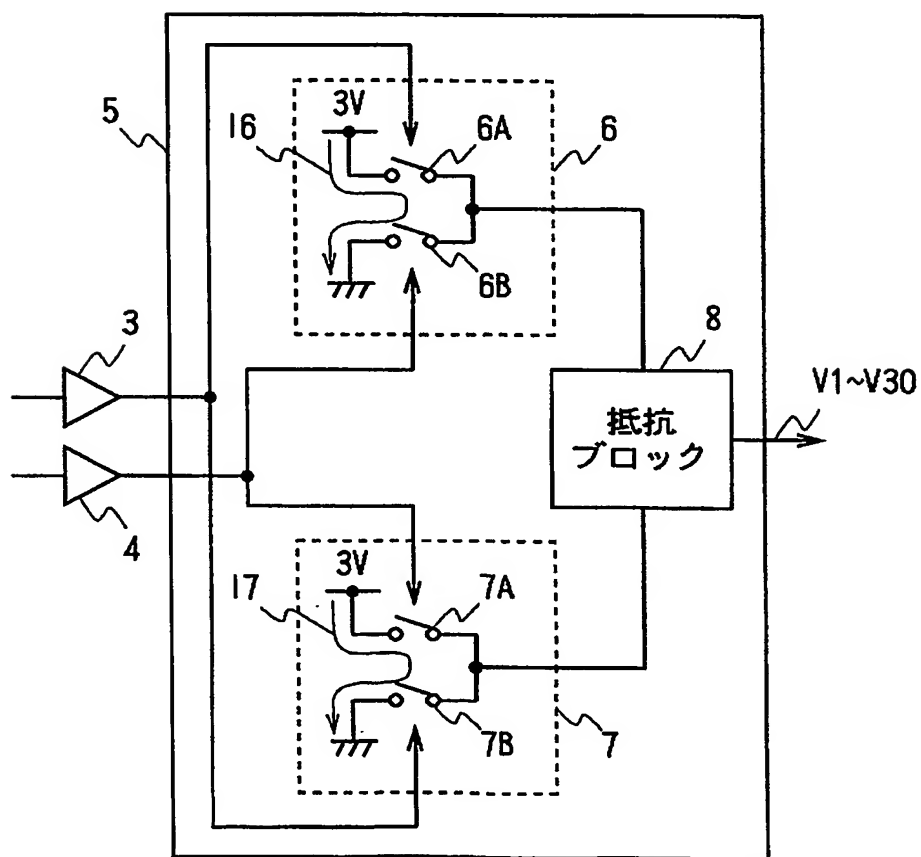
【図 7】



【図8】



【図9】



【書類名】 要約書**【要約】**

【課題】 本発明は、フラットディスプレイ装置及び集積回路に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用して、ディープスタンバイモード等において、一段と消費電力を少なくすることができるようにする。

【解決手段】 本発明は、電源電圧が高い側の回路ブロック 41A、41B からの処理結果を相補的にオンオフ動作するアクティブ素子により電源電圧の低い側に入力し、この高い側の電源電圧の立ち下がりによりこのアクティブ素子の出力を所定レベルに設定する。

【選択図】 図 1

特願 2 0 0 3 - 2 7 2 2 5 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社